

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005 年 7 月 14 日 (14.07.2005)

PCT

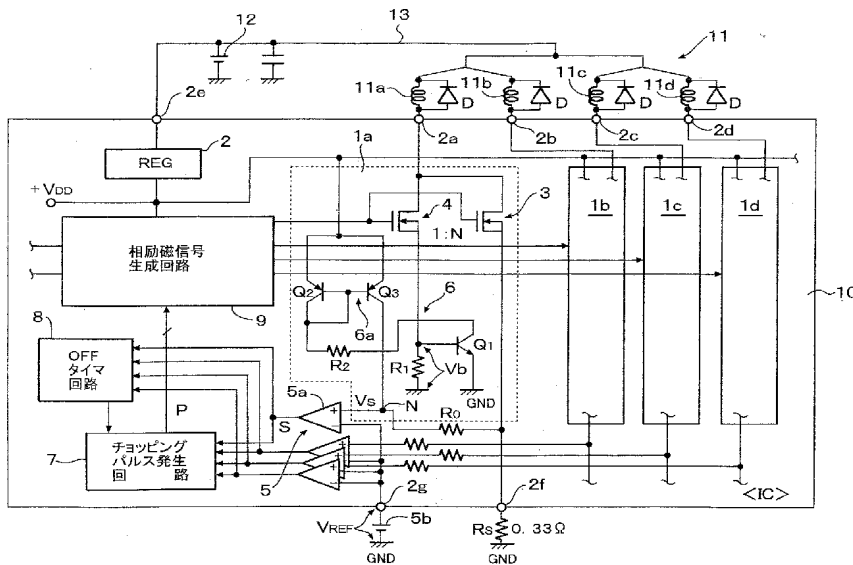
(10) 国際公開番号
WO 2005/064782 A1

- (51) 国際特許分類: H02P 8/12 (72) 発明者; および
(21) 国際出願番号: PCT/JP2004/019011 (75) 発明者/出願人 (米国についてのみ): 大尾 光明 (DAIO, Mitsuki) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP). 柳島大輝 (YANAGISHIMA, Daiki) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP).
(22) 国際出願日: 2004 年 12 月 20 日 (20.12.2004)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ: 特願 2003-432778 (74) 代理人: 梶山 信是, 外 (KAJIYAMA, Tsuyoshi et al.); 〒1600023 東京都新宿区西新宿 8-8-1 5-2 0 1 Tokyo (JP).
2003 年 12 月 26 日 (26.12.2003) JP
(71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO.,LTD) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 Kyoto (JP). (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,

[続葉有]

(54) Title: OVERCURRENT PROTECTION CIRCUIT, MOTOR DRIVE CIRCUIT, AND SEMICONDUCTOR DEVICE

(54) 発明の名称: 過電流保護回路、モータドライブ回路および半導体装置



- 9 PHASE EXCITATION SIGNAL GENERATION CIRCUIT
8 OFF TIMER CIRCUIT
7 CHOPPING PULSE GENERATION CIRCUIT

detection transistor current-mirror-connected to the power transistor; and a second output current detection circuit for generating a second detection signal according to the output current of the output current detection transistor when the output current has reached a predetermined value exceeding the specified value. The overcurrent protection circuit operates the current limit circuit according to the second detection signal and stops the output current of the power transistor for a predetermined period of time.

(57) 要約: 【課題】 電流値検出抵抗がショートした場合にパワートランジスタに過電流が流れるのを防止して、パワートランジスタの駆動動作を継続することができる信頼性の高いモータドライブ回路あるいは半導体装置を提供することにある。 【解決手段】

[続葉有]

WO 2005/064782 A1



DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

この発明は、電流出力のパワートランジスタと、第1の出力電流検出回路と、パワートランジスタの出力電流が規定値に達したときに出力電流検出回路から第1の検出信号に応じてパワートランジスタの出力電流を所定期間停止させることで出力電流を制限する電流制限回路とを備える半導体回路における過電流保護回路であって、パワートランジスタにカレントミラー接続された出力電流検出トランジスタと、出力電流が規定値を越えた所定値に達したときの出力電流検出トランジスタの出力電流に応じて第2の検出信号を発生する第2の出力電流検出回路とを有し、第2の検出信号に応じて電流制限回路を動作させてパワートランジスタの出力電流を所定期間停止させるものである。

明 細 書

過電流保護回路、モータドライブ回路および半導体装置

技術分野

- [0001] この発明は、過電流保護回路、モータドライブ回路および半導体装置に関し、詳しくは、ユニポーラ(半波)駆動のステッピングモータドライバにおいて、出力電流検出用の抵抗がショートしたときにパワートランジスタに過電流が流れるのを防止して、パワートランジスタの駆動動作を継続することができるような過電流保護回路に関する。

背景技術

- [0002] ユニポーラ駆動のステッピングモータドライバ(パルスモータドライバ)は、1相駆動、1相-2相駆動あるいは2相駆動等によりモータの固定子側を順次励磁することで、所定の回転角だけ突起形状の回転子を回転させる。

各固定子を励磁するための駆動電流を流すドライバは、電源ラインに接続され固定子に巻かれたコイル(励磁コイル)に対してこれに直列にパワートランジスタ(出力段トランジスタ)が各相對應にそれぞれ設けられている。この各相對應に設けられたパワートランジスタが所定のタイミングでON/OFFされることで、固定子が順次励磁されてステッピングモータがドライブされる。

ある相のパワートランジスタがONすると、その相の励磁コイルのインダクタンスとパワートランジスタ等のインピーダンスにより決定される所定の時定数の過渡現象でON期間の間順次駆動電流が増加していく。この増加量を所定値までに制限するために、パワートランジスタをONさせてから所定の期間後にOFFすることで、パワートランジスタに過電流が流れないように制御される。そのため、パワートランジスタは、通常、ON/OFFする“H”(HIGHレベル)、“L”(LOWレベル)の論理値パルスで各相がチョッピングによるパルス駆動される。

- [0003] このようなパルス駆動制御の1つとして、ON期間をタイマ回路で設定して制御するチョッパ制御の3相モータドライバとそのIGBTパワートランジスタの保護回路が公知である(特許文献1)。

この特許文献1(特開平11-112313号)に示されているように、この種のドライバの

過電流保護回路は、出力電流を検出する電流検出回路とパワートランジスタの駆動を停止する過電流検出回路とで構成される。電流検出回路は、通常、パワートランジスタに直列に設けられている。過電流検出回路は、出力段パワートランジスタの出力電流値が所定値以上の過電流になったときに得られる電流検出回路からの検出信号に応じて動作して出力電流値を制限する。

特許文献1:特開平11-112313号公報

発明の開示

発明が解決しようとする課題

[0004] 前記の過電流検出(あるいは出力電流を制限する)のための電流検出回路は、パワートランジスタに直列に $1\ \Omega$ 以下の小さい抵抗を設けるのが一番単純な回路になる。しかし、この電流値検出抵抗がショートしたときには、過電流保護回路(あるいは電流制限回路)がはたらかない。そのため、パワートランジスタが破壊される問題がある。

また、電流値検出抵抗がショートした場合に限らず、電流検出回路に電流検出信号が発生しないような故障が発生したときにも同様に過電流保護回路は機能しない。

この発明の目的は、このような従来技術の問題点を解決するものであり、電流値検出抵抗がショートした場合にパワートランジスタに過電流が流れるのを防止して、パワートランジスタの駆動動作を継続することができる過電流保護回路、モータドライブ回路あるいは半導体装置を提供することにある。

この発明の他の目的は、電流値検出抵抗がショートした場合にパワートランジスタに過電流が流れるのを防止して、パワートランジスタの駆動動作を継続することができる信頼性の高いモータドライブ回路あるいは半導体装置を提供することにある。

この発明の他の目的は、電流値検出抵抗がショートした場合に加えて出力電流検出用の回路が故障したときにもパワートランジスタに過電流が流れるのを防止して、パワートランジスタの駆動動作を継続することができる過電流保護回路、モータドライブ回路あるいは半導体装置を提供することにある。

課題を解決するための手段

[0005] このような目的を達成するためのこの発明の過電流保護回路、モータドライブ回路

あるいは半導体装置の構成は、電流出力のパワートランジスタと、第1の出力電流検出回路と、パワートランジスタの出力電流が規定値に達したときに出力電流検出回路から第1の検出信号に応じてパワートランジスタの出力電流を所定期間停止させることで出力電流を制限する電流制限回路とを備える半導体回路における過電流保護回路であって、

パワートランジスタにカレントミラー接続された出力電流検出トランジスタと、

出力電流が規定値を越えた所定値に達したときの出力電流検出トランジスタの出力電流に応じて第2の検出信号を発生する第2の出力電流検出回路とを有し、

第2の検出信号に応じて電流制限回路を動作させてパワートランジスタの出力電流を所定期間停止させるものである。

発明の効果

[0006] ところで、出力電流検出回路の出力電流値検出抵抗は、通常 $1\ \Omega$ 以下の抵抗値の小さい抵抗が用いられるので、この抵抗がショートして $0\ \Omega$ （抵抗の端子電圧が電圧ゼロ）になったとしても、過電流保護回路あるいは電流制限回路が機能しない点を除いては駆動回路全体としての動作はほとんど影響がない。このような故障による駆動回路が無駄となるは忍びない。しかも、出力電流値検出抵抗は、通常外付け抵抗となるのでこのような故障が比較的多い。

そこで、この発明にあつては、出力電流検出回路のほかにパワートランジスタにカレントミラー接続された出力電流検出トランジスタを設けて電流制限回路を動作させて過電流保護を別の回路ルートで行い、かつ、すでにある電流制限回路を使用する。

これにより、チョッピング制御のための電流制限回路と過電流保護回路との2系統で2段階の保護回路を構成する。

特に、モータドライブ回路のように、パワートランジスタに直列に励磁コイルが接続され、出力電流検出回路がパワートランジスタに直列に接続された抵抗であるときには、たとえば、この抵抗がショートしても端子電圧がゼロ（あるいは出力電流検出回路が故障して抵抗の端子電圧が電圧ゼロに近くなっても）、この発明では、前記の構成のように2系統の保護回路となっている。そのためこの発明の過電流保護回路が設けられたモータドライバICを継続使用しても、そのまま使用することができ、かつ、過電流を

防止できるので、パワートランジスタが破壊されないで済む。これにより、このような故障においてもモータドライブ回路をダメにすることなく、救うことができる。

[0007] ここでの規定値は、過電流保護ではなくモータ駆動回路をチョッピング駆動するときに電流値を制限する設計値に対応するものである。この点、過電流保護回路は、本来ICとしての破壊を防止するために設けられるものであるが、ここでは、この過電流保護回路の動作を電流制限回路に近いところに設定して電流制限回路側の動作ができなくなったときに電流制限回路として動作させる。そこで、このときの規定値を越えた所定値はパワートランジスタがモータ駆動動作を継続しても問題の生じない範囲に設定される。例えば、これは、電流制限を行う電流値に対して5%～10%程度高い範囲である。

モータ駆動のパワートランジスタの規定値は、通常のパワートランジスタの回路の駆動と同様に長時間駆動における限界値に対して余裕をもって電流を制限する設計値として設定されているので、モータ駆動回路の出力電流を5%～10%程度高い範囲に設定してもほとんど問題は生じない。

その結果、出力電流値検出抵抗がショートしたときにも、さらには出力電流検出用の回路が故障したときにも出力段のパワートランジスタに過電流が流れるのを防止し、パワートランジスタの駆動動作を継続することができる過電流保護回路を提供することができる。さらに、信頼性の高いモータドライブ回路および半導体装置を容易に実現できる。

発明を実施するための最良の形態

[0008] 図1は、この発明の過電流保護回路を適用した一実施例のユニポーラ駆動のステッピングモータドライバのブロック図、図2は、その駆動タイミングチャート、そして図3は、この発明の他の実施例の説明図である。

図1において、10は、励磁コイルが4個のユニポーラ駆動のステッピングモータドライバICである。これには、単相駆動回路1a, 1b, 1c, 1dが設けられ、それぞれの出力端子2a, 2b, 2c, 2dにはステッピングモータ11の励磁コイル11a, 11b, 11c, 11dがそれぞれ接続されている。

これら励磁コイル11a, 11b, 11c, 11dは、電源(電池)12の電源ライン13に接続

されてこれから電力供給を受ける。なお、各励磁コイル11a, 11b, 11c, 11dには、それぞれフライホイールダイオードDが並列に接続されている。

また、電源12は、端子2eを介してIC内部の電圧レギュレータ回路(REG)2に電力を供給して、REG2を介して内部電源ライン+VDDに安定化した所定の電圧、例えば、12Vの電力を送出する。

単相駆動回路1a, 1b, 1c, 1dは、それぞれ同一の回路で構成されているので、その詳細は単相駆動回路1aのみに示す。以下、単相駆動回路1aについて説明し、単相駆動回路1b, 1c, 1dは、同様であるのでその説明を割愛する。

[0009] 単相駆動回路1aについて説明すると、NチャネルMOSFETパワートランジスタ3と、出力電流検出用のNチャネルMOSFETトランジスタ4、電流制限回路5、そして過電流検出回路6とからなる。なお、説明の都合上、各単相駆動回路の電流制限回路5は、単相駆動回路1aの点線枠の外に出してある。

パワートランジスタ3は、ドレインが出力端子2aに接続され、出力端子2aに励磁電流を出力する。トランジスタ4は、ドレインが出力端子2aに接続され、パワートランジスタ4とカレントミラー接続されている。なお、出力端子2aの出力電流は、この出力端子2aに励磁コイル11aからシンクする電流となる。

パワートランジスタ3のソース側は、端子2fを介してIC外部に取り付けられた出力電流検出用の抵抗Rsに接続され、これを介して接地されている。

トランジスタ4とパワートランジスタ3とのチャネル幅(ゲート幅)の比は、1:N(Nは2以上の数)に設定されている。そこで、励磁コイル11aに流れる出力電流の $1/(N+1)$ の電流がトランジスタ4に流れる。

[0010] 電流制限回路5は、抵抗R0と、コンパレータ5a、そして、基準電圧発生回路5bとからなる。なお、ここでの抵抗R0は、ICに外付けされ、出力電流検出回路を構成している。前記では説明の都合上、抵抗R0を電流制限回路5の一部としているが、抵抗R0を電流制限回路5の一部として扱っても、独立の回路として扱っても実質的な差ではない。

抵抗R0は、端子2fとコンパレータ5aの(+)入力端子との間に接続され、基準電圧発生回路5bは、IC外部に設けられ、端子2gを介してコンパレータ5aの(-)入力端子

に接続され、基準電圧VREFを(−)入力端子に加える。

ここで、出力電流検出用の抵抗 R_s の端子電圧が抵抗 R_0 とコンパレータ5aとの接続点Nに現れる電圧を V_s とすると、パワートランジスタ3の出力電流が増加して、電圧 V_s が基準電圧VREFを越えるような出力電流がパワートランジスタ3に発生したとき、言い換えれば、出力電流が規定値になったときに、コンパレータ5aは検出パルスSを発生する。この検出パルスSは、チョッピングパルス発生回路7に加えられて、“H”のチョッピングパルスPをOFF(“H”から“L”)にするとともにOFFタイマ回路8を駆動する。これによりパワートランジスタ3はOFFになる(その動作については後述)。

なお、ここで、 $R_0 \gg R_s$ とする。 R_0 は抵抗 R_0 の抵抗値、 R_s は抵抗 R_s の抵抗値であって、 $1\ \Omega$ 以下の値、例えば、 $0.3\ \Omega$ 程度である。

チョッピングパルスPの停止時間(“L”の期間)は、OFF時間設定のOFFタイマ回路8によりカウントされて、一定期間後(図2(b)のTOFF参照)、例えば、 $15\ \mu\text{sec}$ 後にチョッピングパルスPが“L”から“H”となる。このチョッピングパルスPは、例えば、 $30\ \mu\text{sec}$ 〜 $50\ \mu\text{sec}$ 程度の範囲で選択された期間の間“H”となるパルスである。すなわち、チョッピングパルスPは、定常状態で“H”のパルスが検出パルスSに応じて“L”となり、一定時間後に“H”となることで、チョッピングパルスとして生成される。

その結果、電流制限回路5は、抵抗 R_s の端子電圧による接続点Nの電圧 V_s が電圧VREFを越えたときに駆動電流を停止させてパワートランジスタ3の出力電流を制限する。この点で電流制限回路5は、過電流検出回路6による電流制限よりも低い出力電流値(規定値)においてパワートランジスタ3の出力電流をチョッピング制御をするために制限する回路である。電流を制限する意味では過電流保護回路を兼ねるものとして設けられている。

[0011] 定常状態で“H”のチョッピングパルスPは、相励磁信号生成回路9に送出されて、例えば、相励磁信号生成回路9においてアンドゲートにより単相駆動回路1aのゲート駆動パルスの“H”とアンド論理が採られて、パワートランジスタ3のゲートに出力される(図2(a), (b)参照)。そこで、パワートランジスタ3とトランジスタ4の共通ゲートには、ゲート駆動パルスの“H”の期間、所定の周波数で断続するチョッピングパルス(チョッピングパルスPに対応)が相励磁信号生成回路9から加えられることになる。チョッピ

ングパルスPが“L”のときには、ゲート駆動パルスは“L”となり、パワートランジスタ3がOFFにされて、ステッピングモータ11の励磁コイル11aに対する駆動電流が停止する。

ここで、各励磁コイルにはフライホイールダイオードDが並列に設けられているので、各励磁コイル11a, 11b, 11c, 11dに流れるそれぞれの電流は、チョッピングパルスPが“L”のOFF期間にはフライホイールダイオードDを通して流れる。それは、チョッピングパルスPによるON期間とOFF期間との関係で決定される平均的な電流となる。

[0012] ここでは、チョッピングパルス発生回路7とOFFタイマ回路8とは、単相駆動回路1a, 1b, 1c, 1dに対応して共通に設けられていて、これら回路により各単相駆動回路1a, 1b, 1c, 1dの励磁コイル駆動に対応してチョッピングパルスPがそれぞれに生成され、相励磁信号生成回路9に送出される。

相励磁信号生成回路9は、各励磁コイルを単相駆動、1相-2相駆動、2相駆動等に応じて、単相駆動回路1a, 1b, 1c, 1dの各パワートランジスタ3のゲート駆動パルスを所定のタイミングで生成する回路であって、“H”、“L”のゲート駆動パルスを発生し、さらに、駆動電流を制限するために各ゲートパルスの“H”の期間がそれぞれにそれぞれのチョッピングパルスPによりチョッピングされる。

[0013] 過電流検出回路6は、抵抗R1と、NPNバイポーラトランジスタQ1、抵抗R2、そしてPNPバイポーラトランジスタQ2, Q3からなるカレントミラー回路6aとからなる。抵抗R1は、トランジスタ4のソースとグラウンドGNDとの間に接続されている。

トランジスタQ1は、過電流検出用のトランジスタであって、そのエミッタがグラウンドGNDに接続され、そのコレクタが抵抗R2を介してトランジスタQ2のコレクタに接続されている。トランジスタQ1のベースは、トランジスタ4のソースに接続され、抵抗R1の端子電圧VbがトランジスタQ1のベースに供給される。そこで、端子電圧Vbが $1V_f (= 0.7V)$ 、ベース-エミッタ間順方向電圧)を越えたときにトランジスタQ1は、ONとなり、過電流を検出する。

トランジスタQ2は、ダイオード接続されたカレントミラーの入力側のトランジスタであって、そのエミッタ側は、出力側トランジスタQ3のエミッタとともに電源ライン+VDDに

接続され、出力側トランジスタQ3のコレクタが抵抗R0とコンパレータ5aの(+)入力端子との接続点Nに接続されている。

そこで、この過電流検出回路6が動作したときには、出力側トランジスタQ3のコレクタから出力される電流が接続点N、抵抗R0、抵抗RS、そしてグランドGNDへと流れ、接続点Nに基準電圧VREFより高い電圧が発生する。

[0014] 次に、図2に従って過電流検出回路6の動作を説明する。なお、この駆動タイミングチャートにおいて前半の波形が定常状態での動作であり、後半の波形が検出抵抗Rsショートの状態である。

図2(a)は、単相駆動回路1aのゲート駆動パルスであり、これが“H”の期間の間、パワートランジスタ3がチョッピング駆動される。図2(b)は、そのチョッピングパルスPであり、これの“H”の期間の間、ステッピングモータ11の励磁コイル11aに対して駆動電流が流れるので、出力端子2aの出力電圧Voutは、図2(c)のようになる。

電流制限回路5の動作により、通常は、コンパレータ5aの(+)入力端子に加えられる接続点Nの電圧Vsは、VREFまで上昇してグランドGNDへと落ちる電圧となる(図2(d)参照)。しかし、抵抗Rsがショートしたときには(抵抗Rsの端子電圧が電圧ゼロになったときには)、2つ目より後の波形(後半の波形)はなくなる。このときには、端子2fに電圧が発生しないので、そのままであると、接続点Nの電圧Vsは、接続点NがグランドGNDへと落ちたこと等価になる。この段階ではまだ過電流検出回路6は動作していないので、たとえ、抵抗R0が接続点Nと端子2fとの間に設けられていても抵抗R0には実質的に電流が流れない。しかも、このときには電流制限回路5が電流制限動作をしない。そこで、図2(c)に示すように、出力端子2aの出力電圧Voutは上昇する。

その結果、抵抗Rsがショートしたときには、電流制限回路5により制限される電流以上の出力電流がパワートランジスタ3に流れることになる。

[0015] このときに、例えば、2.6Aを越える電流が流れたとすると、これに応じた電流がトランジスタ4に流れて、抵抗R1の端子電圧Vbを上昇させる(図2(e)参照)。なお、パワートランジスタ3の最大定格電流は、3.0A(>2.6A)であるとする。

この端子電圧Vbが1Vfを越えたときに過電流検出回路6が動作して、過電流検出

用のトランジスタQ1がONとなり、カレントミラー回路6aを動作させて抵抗R0、ショートした抵抗Rsを介してグランドGNDへとカレントミラーの出力側トランジスタQ3から電流Iが流れる(図2(f)参照)。このときの抵抗R0の抵抗値は、電流Iにより接続点Nの電圧Vsが電圧VREFを越える電圧になるように設定されている(図2(g)参照)。

その結果、コンパレータ5aの出力は“H”となり、チョッピングパルスPがOFFして“H”から“L”となり、OFFタイマ回路8が駆動され、ゲート駆動パルスが“L”になる。そして、パルスチョッピングパルスPのOFF期間の間(“L”の間)パワートランジスタ3がOFFする。

パワートランジスタ3がOFFすると、駆動電流が停止して抵抗R1の端子電圧がグランドG電位まで落ちる。それによりトランジスタQ1がOFFとなり、カレントミラー回路6aの動作が停止する(図2(e)参照)。

OFF期間経過後にチョッピングパルスPが“H”になると、パワートランジスタ3がONして、励磁コイル11aに駆動電流が流れる。

[0016] その結果、図2(h)に示すような電流波形で励磁コイル11aが電流駆動され、前記のような状態が繰り返される。出力端子2aの出力電流は、この出力端子2aに励磁コイル11aからシンクされる電流である。なお、図2(h)は、説明のためのものであって、図2(c)の出力電圧波形に対する電流波形のディレイ等は考慮していない。図2(h)において、I1は、電流制限回路5により制限される規定電流値、例えば、2.6Aに相当する。また、I2は、過電流検出回路6により制限される電流値であって、例えば、前記より少し大きな値の2.7Aに相当する。いずれの場合も、最大定格電流以下に設定される。

ところで、ここでの電流制限は、外付け抵抗Rsが選択されてチョッピング制御のための設計仕様値になるような電流値に制限するためのものである。過電流保護とは本来目的が相違する。通常、過電流保護の電流値は、最大定格電流以下でより大きな値に設定されるが、この実施例では、抵抗Rsがショートしたときにも過電流保護回路が利用できるように、電流制限値2.6Aに対して過電流保護の電流値を2.7Aとしてこれらの差を小さくしている。また、この実施例において、設計仕様値になる電流値以上の電流値を過電流と考えれば、電流制限回路5は、第1の過電流保護回路とな

り、過電流検出回路6は、第2の過電流保護回路となり、2段階の過電流保護の電流制限回路が設けられているものである。

これにより、ステッピングモータドライバIC10は、たとえ、抵抗 R_s がショートしても駆動回路として動作し、パワートランジスタ3は、過電流保護回路6が動作するので、破壊されることはない。

[0017] 図3は、図1に示す実施例において、トランジスタQ1のエミッタ(グランド電流流出側端子)を端子2fに接続し、抵抗R1のグランドGNDに接続され端子を端子2fに接続したものである。さらに、トランジスタQ3のコレクタと接続点Nとの間には抵抗R3を設けている。

このような構成を採る利点は、コンパレータ5aがより単純な形になり、かつ、出力電流値検出抵抗がショートしたときに過電流保護回路6を積極的に動作させ、定常状態では端子2fの電圧が少し高くなる分だけ過電流保護回路6が動作し難くなることである。

図1では、コンパレータ5aの内部回路を示していないが、図1に示すように、トランジスタQ3のコレクタを接続点Nに接続してコンパレータ5aの(+)入力端子に入力した場合には、抵抗R0の端子とワイヤドオアされた出力がコンパレータ5aの(+)入力端子に入力されることになる。

このような接続形態を採ると抵抗R0の抵抗値とトランジスタQ3の出力電流値との関係でコンパレータ5aの回路構成によっては、その動作が不安定になる場合がある。これを回避するためには、例えば、コンパレータ5aの内部回路を平行に2つのコンパレータとして抵抗R0側とトランジスタQ1側の入力を分けるか、(+)入力端子が2つあるコンパレータを用いなければならなくなる。その分、コンパレータ5aの回路構成が複雑になる。

しかし、図3に示すように、トランジスタQ1のエミッタを端子2fに接続し、抵抗R1のグランドGND接続側の端子を端子2fに接続すると、それぞれの検出回路の検出信号の発生点が共通になるので単純な内部回路のコンパレータ5aを1つ設けるだけで済む。なお、抵抗R3は、適宜設ければよい。

[0018] ところで、実施例では、コンパレータ5aは、単相駆動回路1a, 1b, 1c, 1dにそれぞれ

れ設けられる構成となっているが、コンパレータ5aは、複数の单相駆動回路に共通に設けられていてもよい。この場合、例えば、单相駆動回路1a, 1bのそれぞれのコンパレータ5aと、单相駆動回路1c, 1dのそれぞれのコンパレータ5aとに対して出力電流値の検出抵抗 R_s をそれぞれに共通化してトータルで2個とすることができる。

また、実施例のパワートランジスタ Tr は、MOSFETトランジスタであるが、これは、バイポーラトランジスタであってもよいことはもちろんである。

さらに、実施例では、ユニポーラ駆動のステッピングモータドライバICのモータ駆動回路について説明しているが、パワートランジスタの出力回路をプッシュ・プル動作の駆動回路として、バイポーラ駆動（正位相と逆位相の両波駆動）のステッピングモータドライバICにこの発明を適用してもよいことはもちろんである。

なお、実施例では、説明上、過電流検出回路6に電流検出用のトランジスタ4を含めていないが、これを含めて過電流検出回路と考えてもよいことももちろんである。また、電流制限回路5の抵抗 R_0 は、過電流検出回路6側に含めてもよいことはもちろんである。

産業上の利用可能性

[0019] 以上説明してきたが、実施例では、電流検出用の抵抗 R_s がショートした場合（抵抗 R_s の端子電圧が電圧ゼロになった場合）について説明しているが、抵抗 R_s がショートした場合に限らず、パワートランジスタ3の出力電流検出用の回路が故障（パワートランジスタの出力ラインの断線は除く）して検出信号が発生しないか、発生してもその電圧レベルが基準電圧 V_{REF} よりも低いときには、電流制限が行われないので抵抗 R_s がショートした場合（抵抗 R_s の端子電圧が電圧ゼロになった場合）と同様の現象になる。そこで、この発明は、パワートランジスタの出力電流検出用の回路が故障した場合にも同様に適用される。

また、実施例では、チョッピングパルス発生回路7とOFFタイマ回路8を介してパワートランジスタ3のOFF制御をしているが、パワートランジスタ3がOFFされる構成であれば、チョッピングパルス発生回路7やOFFタイマ回路8はこの発明にとって必ずしも必要な構成ではない。

さらに、実施例では、ステッピングモータドライバICについて説明しているが、規定

の電流値でパワートランジスタをOFFして駆動電流を制限するような電流制限回路あるいは過電流保護回路を有するドライブ回路であれば、どのような回路であってもこの発明は適用できる。

図面の簡単な説明

[0020] [図1]図1は、この発明の過電流保護回路を適用した一実施例のユニポーラ駆動のステッピングモータドライバのブロック図である。

[図2]図2は、その駆動タイミングチャートである。

[図3]図3は、この発明の他の実施例の説明図である。

符号の説明

[0021] 1a, 1b, 1c, 1d…単相駆動回路、
2a, 2b, 2c, 2d…出力端子、
3, 4…NチャネルMOSFETパワートランジスタ、
5…電流制限回路、5a…コンパレータ、
6…過電流検出回路、6a…カレントミラー回路、
7…チョッピングパルス発生回路、8…OFFタイマ回路、
9…相励磁信号生成回路、
10…ステッピングモータドライバIC、
11a, 11b, 11c, 11d…励磁コイル、
12…電源、R0、Rs、抵抗R1〜R3…抵抗、
Q1〜Q3…バイポーラトランジスタ、D…フライホイールダイオード。

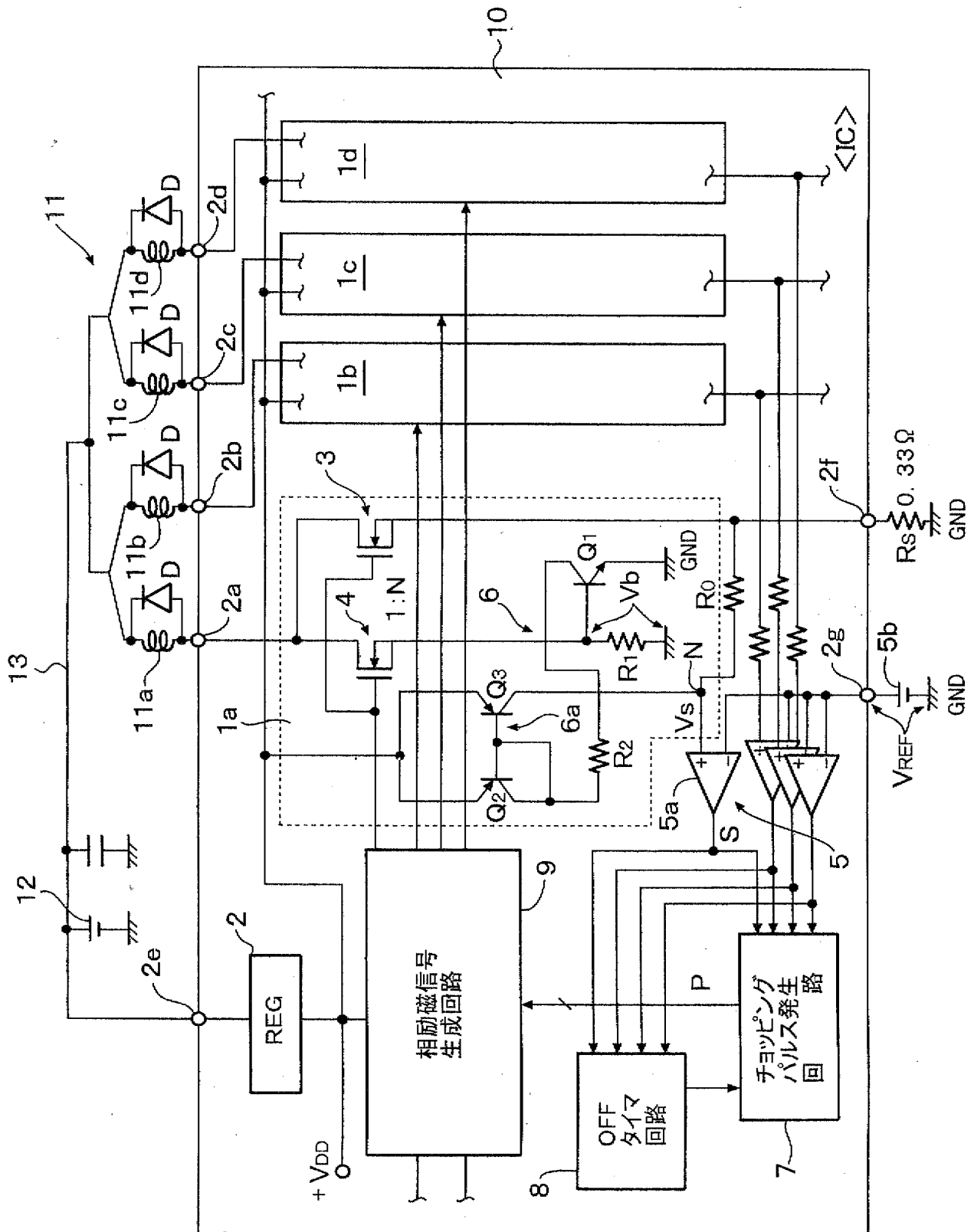
請求の範囲

- [1] 電流出力のパワートランジスタと、第1の出力電流検出回路と、前記パワートランジスタの出力電流が規定値に達したときに前記出力電流検出回路から第1の検出信号に応じて前記パワートランジスタの前記出力電流を所定期間停止させることで前記出力電流を制限する電流制限回路とを備える半導体回路における過電流保護回路であって、
- 前記パワートランジスタにカレントミラー接続された出力電流検出トランジスタと、
- 前記出力電流が前記規定値を越えた所定値に達したときの前記出力電流検出トランジスタの出力電流に応じて第2の検出信号を発生する第2の出力電流検出回路とを有し、
- 前記第2の検出信号に応じて前記電流制限回路を動作させて前記パワートランジスタの前記出力電流を所定期間停止させる過電流保護回路。
- [2] 前記半導体回路は、IC化されたモータドライバ回路であり、所定値は、前記パワートランジスタがモータを駆動する動作を継続しても問題の生じない範囲に設定されている請求項1記載の過電流保護回路。
- [3] 前記所定値は、前記規定値の電流値に対して5%〜10%程度高い範囲であり、前記出力電流検出回路は、前記ICの所定の端子を介して外付けされた第1の抵抗を有し、この第1の抵抗に発生する端子電圧を前記第1の検出信号とする請求項2記載の過電流保護回路。
- [4] 前記電流制限回路はコンパレータを有し、このコンパレータが前記第1の抵抗に発生する端子電圧と所定の基準電圧とを比較してその比較結果に応じて前記出力電流を前記所定期間停止させるための出力信号を発生し、かつ、前記第2の検出信号を受けたときに前記第2の検出信号に応じて発生する電圧信号と前記所定の基準電圧とを比較してその比較結果に応じて前記出力信号を発生する請求項3記載の過電流保護回路。
- [5] さらに、チョッピングパルス発生回路とタイマ回路とを有し、前記所定期間は一定期間であって、前記タイマ回路は、前記一定期間を計測するものであって、前記出力信号を受けて動作し、前記チョッピングパルス発生回路は、前記タイマ回路により設

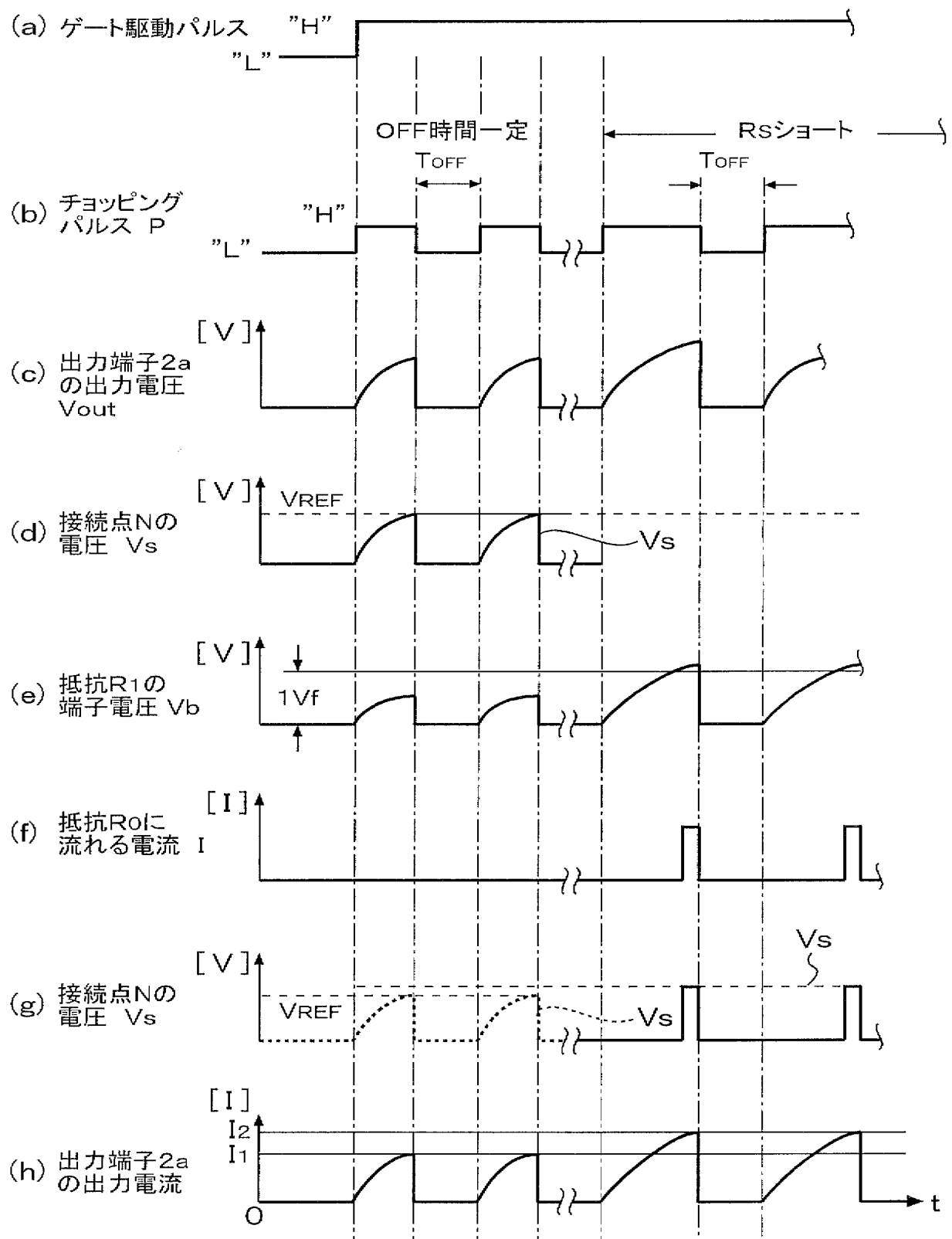
定された前記一定期間置きにパルスを発生し、このパルスに応じて前記パワートランジスタのON/OFFが制御される請求項4記載の過電流保護回路。

- [6] 前記出力電流は、前記パワートランジスタが電流を出力する出力端子からシンクする電流であり、前記モータがこのシンク電流に応じて駆動される請求項3記載の過電流保護回路。
- [7] さらに、前記出力電流検出トランジスタと基準電圧ラインとの間に設けられた第2の抵抗を有し、前記パワートランジスタと前記出力電流検出トランジスタとはNチャネルMOSトランジスタであり、前記第2の抵抗に発生する端子電圧に応じて前記第2の検出信号を発生する請求6記載の過電流保護回路。
- [8] さらに、前記第2の抵抗値の端子電圧が、ある値以上になったときにONになる過電流検出のためのトランジスタと、前記モータドライバICの内部において前記所定の端子と前記コンパレータとの間に設けられた第3の抵抗とを有し、前記第2の検出信号は、過電流検出のための前記トランジスタがONすることにより発生し、前記第3の抵抗の端子に前記所定の基準電圧よりも高い電圧を生成する請求項7記載の過電流保護回路。
- [9] さらに、前記過電流検出のためのトランジスタのグランド電流を発生する端子と第2の抵抗の前記基準電圧ラインに接続される側の端子とが前記所定の端子に接続されている請求項8記載の過電流保護回路。
- [10] 請求項1〜9のいずれか記載の前記過電流保護回路を有し、前記半導体回路がIC化されているモータドライブ回路。
- [11] 前記パワートランジスタの出力端子がステップモータに接続される請求項10記載のモータドライブ回路。
- [12] 請求項10または11項記載のモータドライブ回路を有する半導体装置。

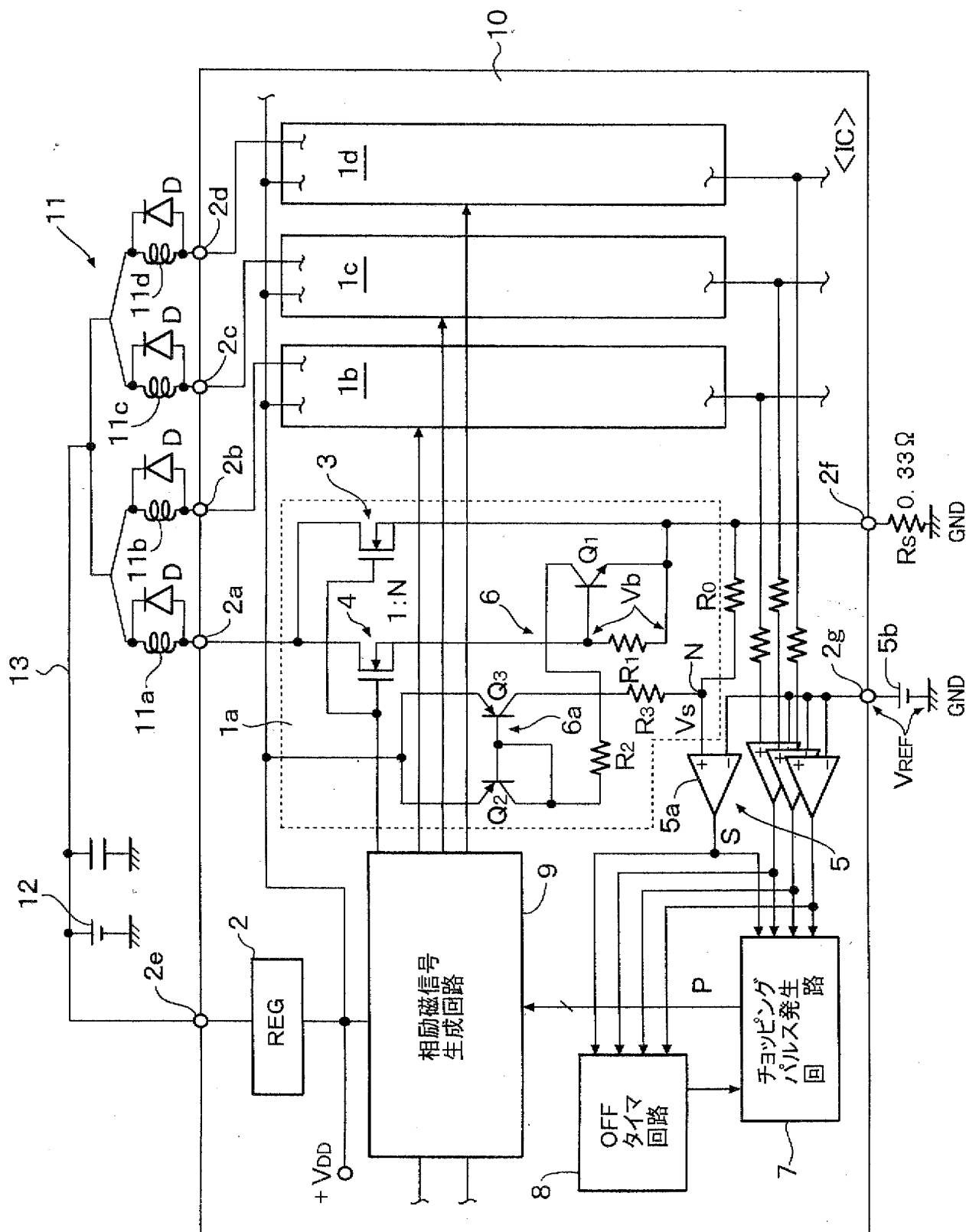
[図1]



[図2]



[図3]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/019011

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H02P8/12

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H02P8/00-42

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005
Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 57449/1989 (Laid-open No. 1699/1991) (Sanken Electric Co., Ltd.), 09 January, 1991 (09.01.91), (Family: none)	1-12
Y	CD-ROM of the specification and drawings annexed to the request of Japanese Utility Model Application No. 85462/1991 (Laid-open No. 60200/1993) (Copal Co., Ltd.), 06 August, 1993 (06.08.93), (Family: none)	1-12

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
11 April, 2005 (11.04.05)

Date of mailing of the international search report
26 April, 2005 (26.04.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/019011

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CD-ROM of the specification and drawings annexed to the request of Japanese Utility Model Application No. 66420/1991 (Laid-open No. 11800/1993) (Copal Co., Ltd.), 12 February, 1993 (12.02.93), (Family: none)	2, 3

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. ⁷ H02P8/12			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. ⁷ H02P8/00-42			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2005年 日本国実用新案登録公報 1996-2005年 日本国登録実用新案公報 1994-2005年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
Y	日本国実用新案登録出願 1-57449 号 (日本国実用新案登録出願公開 3-1699 号) の願書に添付した明細書及び図面の内容を撮影したマイクロフィルム (サンケン電気株式会社), 09.01.1991 (ファミリーなし)	1-12	
Y	日本国実用新案登録出願 3-85462 号 (日本国実用新案登録出願公開 5-60200 号) の願書に添付した明細書及び図面の内容を記録した CD-ROM (株式会社コパル), 1993.08.06 (ファミリーなし)	1-12	
<input checked="" type="checkbox"/> C 欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献			
国際調査を完了した日 11.04.2005		国際調査報告の発送日 26.4.2005	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号 100-8915 東京都千代田区霞が関三丁目 4 番 3 号		特許庁審査官 (権限のある職員) 尾家 英樹 電話番号 03-3581-1101 内線 3358	3V 9335

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	日本国実用新案登録出願 3-66420 号(日本国実用新案登録出願公開 5-11800 号)の願書に添付した明細書及び図面の内容を記録したCD-ROM (株式会社コパル) , 12. 02. 1993 (ファミリーなし)	2, 3